

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-242141
 (43)Date of publication of application : 17.09.1996

(51)Int.CI. H03H 17/06
 H03H 17/02
 H04L 27/20

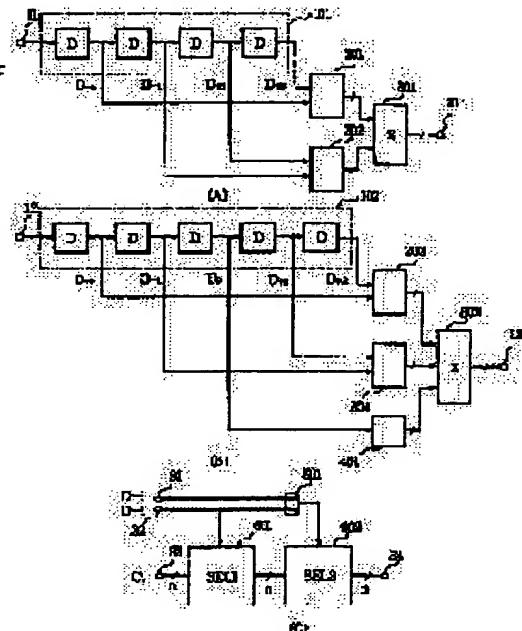
(21)Application number : 07-045617 (71)Applicant : NEC CORP
 (22)Date of filing : 06.03.1995 (72)Inventor : SASAKI EISAKU

(54) DIGITAL FILTER

(57)Abstract:

PURPOSE: To reduce the circuit scale of an FIR digital filter used for a QPSK modulator constituted of hardware.

CONSTITUTION: Two outputs which are symmetrical against the center of a shift register 101 are inputted to product-sum circuits 201 and 202. Respective tap coefficients are multiplied and the results are added. Furthermore, the results (the multiplied value of the tap coefficients of a center tap Do is included in the case of even taps) are added in an adder 301 and a final output is obtained. Since multiplication in the respective taps of a roll-off filter for QPSK modulator and the addition result of an initial stage become the change of the code of the tap coefficient or substitution with '0', the product-sum circuits 201 and 202 can be constituted by two selection circuits 601 and 602 and EX-OR gates generating the selection signals.



LEGAL STATUS

[Date of request for examination] 06.03.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2885121

[Date of registration] 12.02.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-242141

(43)公開日 平成8年(1996)9月17日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 03 H 17/06		8842-5 J	H 03 H 17/06	Z
17/02		8842-5 J	17/02	P
H 04 L 27/20			H 04 L 27/20	A

審査請求 有 請求項の数4 OL (全6頁)

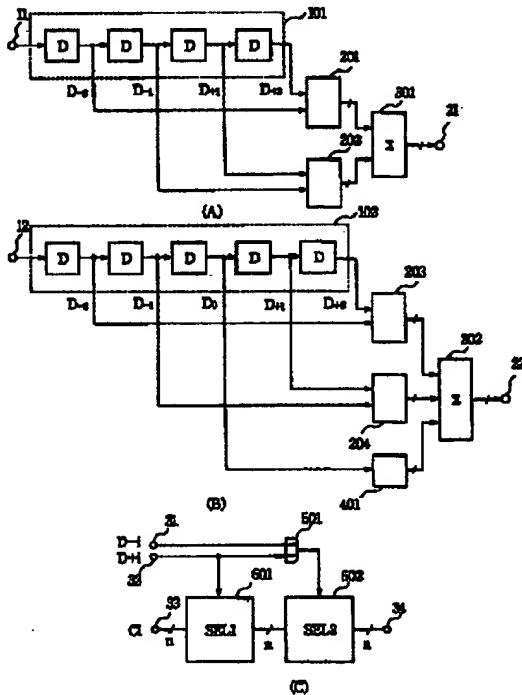
(21)出願番号	特願平7-45617	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成7年(1995)3月6日	(72)発明者	佐々木 英作 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	弁理士 京本 直樹 (外2名)

(54)【発明の名称】 デジタルフィルタ

(57)【要約】

【目的】ハードウェアで構成されたQPSK変調器用にいられるFIR型デジタルフィルタの回路規模を削減する。

【構成】シフトレジスタ101の中心に対し対称な2つの出力同士を積和回路201, 202に入力し各タップ係数との乗算と、その結果の加算を行う。更にその結果を(偶数タップの場合は中心タップD○のタップ係数の乗算値を含め)加算器301で加算して最終出力を得る。QPSK変調器用のロールオフフィルタの各タップでの乗算と初段の加算結果はタップ係数の符号の変更もしくは0への置き換えとなるため、積和回路は2つの選択回路601, 602とその選択信号を生成するEX-ORゲートで構成できる。



1

2

【特許請求の範囲】

【請求項1】 1列のデジタル入力信号をサンプリング間隔T sで順次遅延させる2Nビットシフトレジスタ(Nは2以上の整数)と、前記シフトレジスタの第1番目(iは1からNまでの整数)の出力と第(2N+1-i)番目の出力を入力とし、2つの入力とタップ係数との乗算と、その乗算結果の加算を行うN個の積和回路と、前記N個の積和回路の出力を入力とし、全入力の加算を行う加算器とを有することを特徴とするFIR型デジタルロールオフフィルタ。

【請求項2】 1列のデジタル入力信号をサンプリング間隔T sで順次遅延させる(2N+1)ビットシフトレジスタ(Nは2以上の整数)と、前記シフトレジスタの第1番目(iは1からNまでの整数)の出力と第(2N+2-i)番目の出力を入力とし、2つの入力とタップ係数との乗算と、その乗算結果の加算を行うN個の積和回路と、前記シフトレジスタの第(N+1)番目の出力を入力とし、入力信号とタップ係数の乗算を行う乗算器と、前記N個の積和回路の出力と前記乗算器の出力を入力とし、全入力の加算を行う加算器とを有することを特徴とするFIR型デジタルロールオフフィルタ。

【請求項3】 前記積和回路は、前記2つの入力が一致する場合はその論理レベルに応じてタップ係数又は該タップ係数のピット反転値を選択出力し、前記2つの入力が不一致の場合は0を出力することを特徴とする請求項1又は2記載のFIR型デジタルロールオフフィルタ。

【請求項4】 前記積和回路は、前記2つの入力が印加される排他的論理回路と、タップ係数を入力し前記2つの入力の一方の論理レベルに応じて前記タップ係数又はそのピット反転値を選択出力する第一の選択回路と、前記第一の選択回路の出力を入力とし前記排他的論理回路の出力により前記第一の選択回路の出力又は0を選択出力する第二の選択回路とを有することを特徴とする請求項1、2又は3記載のFIR型デジタルロールオフフィルタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、デジタル無線通信方式に用いられるデジタルロールオフフィルタに関し、特にQPSK(Quadrature Phase Shift Keying)変調器に用いられるデジタルロールオフフィルタに関する。

【0002】

【従来の技術】 デジタルマイクロ波通信方式では、変調器と復調器にそれぞれ波形整形用のフィルタ(ロールオフフィルタ)が必要であるが、近年、デジタル信号処理技術とデバイスの動作速度、集積度の進歩によりベースバンドの時間軸上でデジタル信号処理によるフィルタリングを行うデジタルフィルタが実用化されるよ

10

20

30

40

50

うになり、特性のばらつきや経時変化、温度変化等の問題のないものが実現されるようになった。

【0003】 デジタルフィルタにはIIR(Infinite Impulse Response)型とFIR(Finite Impulse Response)型の2つがあるが、デジタルマイクロ波通信方式では直線位相を実現できるFIR型が用いられる。

【0004】 この従来の方式を図面を参照して説明する。

【0005】 図6は従来のFIR型デジタルフィルタで構成したQPSK用送信側ロールオフフィルタ1チャネル分のブロック図である。

【0006】 1列のデータは端子81から入力されシフトレジスタ151の中を流れいく。各レジスタのデータはタップ(乗算器)411~416に入力され、タップ係数との乗算が行われる。各タップ(乗算器)411~416の出力は加算器311に入力され全タップ(乗算器)の出力が加算されて出力される。このときデジタルフィルタの周波数特性に対応するインパルス応答のサンプリング値が各タップ(乗算器)のタップ係数Cj(jは(2N+1)タップのとき-NからNまでの整数)となる。シフトレジスタの内部にあるデータをak-jとすると、デジタルフィルタの出力bkは、

【0007】

$$b_k = \sum_{j=-N}^N a_{k-j} \cdot C_j \quad \dots (1)$$

【0008】 となり、タップ係数Cjの離散的フーリエ変換に対応する周波数特性が与えられる。タップ数を無限に多くすれば、任意の周波数特性を実現することができる。

【0009】 しかし、FIR型で急峻な周波数特性を実現しようとするとそのインパルス応答の収束性が悪い、つまりCjが事実上無視できる程度に小さくなるNが非常に大きいため多くのタップを必要とする。図6のタップ(乗算器)と加算器は図7に示すような回路で構成される。図7(A)の乗算器は1×nビットの乗算なので簡単な論理ゲートで実現できるが、加算器は2入力の全加算器を(タップ数-1)個組み合わせて構成されるため、タップ数が多いと回路規模が大きくなってしまうという欠点がある。

【0010】 一方、衛星信用のFIR型デジタルフィルタはROMで構成される場合がある。ROMのアドレスにシフトレジスタの内部にある全データak-jを対応させ、その入力信号に対するデジタルフィルタの出力bkを予め計算しておきその値をROMのデータに入力しておけばROM1個でFIR型デジタルフィルタが実現される。しかし、この方法はROMの動作速度とアドレスのビット数の制限から、変調速度が比較的低く、かつ帯域制限があまり厳しくないロールオフ率0.4程度の変調器にしか適用できない欠点がある。

【0011】

【発明が解決しようとする課題】本発明の目的は、ハードウェアで構成されたFIR型デジタルフィルタの回路規模を削減し、低ロールオフ率、高速変調に対応できるデジタルフィルタを提供することである。

【0012】

【課題を解決するための手段】上述の問題を解決するために、本発明のデジタルフィルタは、1列のデジタル入力信号をサンプリング間隔T sで順次遅延させる2 Nビットシフトレジスタ（Nは2以上の整数）と、前記シフトレジスタの第1番目の出力と第（2N+1-1）番目の出力を入力とし、2つの入力とタップ係数との乗算と、その乗算結果の加算を行うN個の積和回路と、前記N個の積和回路の出力を入力とし、全入力の加算を行う加算器とを有する偶数タップのデジタルフィルタ、もしくは、1列のデジタル入力信号をサンプリング間隔T sで順次遅延させる（2N+1）ビットシフトレジスタ（Nは2以上の整数）と、前記シフトレジスタの第1番目の出力と第（2N+2-1）番目の出力を入力とし、2つの入力とタップ係数との乗算と、その乗算結果の加算を行うN個の積和回路と、前記シフトレジスタの第（N+1）番目の出力を入力とし、入力信号とタップ係数の乗算を行う乗算器と、前記N個の積和回路の出力と前記乗算器の出力を入力とし、全入力の加算を行う加算器とを有する奇数タップのデジタルフィルタで構成されている。

【0013】また、前記積和回路は、前記2つの入力が一致する場合はその論理レベルに応じてタップ係数又は該タップ係数のピット反転値を選択出力し、前記2つの入力が不一致の場合は0を出力するように構成されている。

【0014】更に、前記積和回路は、前記2つの入力が印加される排他的論理分回路と、タップ係数を入力とし前記2つの入力の一方により前記タップ係数又はそのピット反転値を出力する第一の選択回路と、前記第一の選択回路の出力を入力とし前記排他的論理回路の出力により前記第一の選択回路の出力又は0を選択出力する第二の選択回路とから構成されている。

【0015】

【実施例】次に本発明について図面を参照して詳細に説明する。

【0016】図1は本発明の一実施例を示すブロック図である。

【0017】図1(A)は、偶数タップの一例として4タップのときのブロック図、図1(B)は奇数タップの一例として5タップのときのブロック図、図1(C)は図1(A), (B)の各ブロック内で使用される積和回路のブロック図である。

【0018】まず図1(A)の構成を説明する。端子1から入力された1列のデジタル信号は、サンプリ

グ速度のクロックで駆動される4ビットシフトレジスタ101に入力される。ここでサンプリング速度は、標本化定理より入力されるデジタル信号のクロック速度の2倍以上が必要で、通常2のべき乗の2倍、4倍等に設定される。シフトレジスタ101の出力信号を入力側からD-2, D-1, D+1, D+2としたとき、D-2とD+2は積和回路201にD-1とD+1は積和回路202に入力される。積和回路201と積和回路202は図1(C)に示す回路で実現され、2つの入力信号とタップ係数の乗算を行いその結果を加算する。積和回路201と積和回路202の出力は加算器301に入力され加算した結果が端子21に出力される。

【0019】次に図1(B)の構成を説明する。端子12から入力された1列のデジタル信号は、サンプリング速度のクロックで駆動されるビットシフトレジスタ102に入力される。サンプリング速度は図1(A)と同様である。シフトレジスタ102の出力信号を入力側からD-2, D-1, D0, D+1, D+2としたとき、D-2とD+2は積和回路203に、D-1とD+1は積和回路204に入力され、D0は乗算器401に入力される。積和回路203と積和回路204は図1(C)に示す回路で実現され、その演算内容は図1(A)と同様である。乗算器401は入力信号D0とタップ係数の乗算を行う。積和回路203と積和回路204と乗算器401の出力は加算器302に入力され加算した結果が端子22に出力される。

【0020】最後に図1(C)の構成を説明する。端子33から入力されたnビットのタップ係数C1は選択回路601に入力される。選択回路601は端子32から入力されたD+1信号を選択信号とし、選択信号の値に応じてタップ係数をそのまま、もしくはその全ピット反転の信号が出力される。選択回路602にはnビットの選択回路601の出力信号が入力される。端子32から入力されたD+1信号と端子31から入力されたD-1信号は、EX-ORゲート501に入力されその出力が選択回路602の選択信号になり、選択回路602は選択信号の値に応じて入力された信号をそのまま、もしくは値0を現す全ピット0の信号が出力される。

【0021】次に図1の各部の動作について説明する。

【0022】ロールオフフィルタのインパルス応答は、図2に示すように時間軸上で対称になる。従って、そのサンプリング値であるタップ係数も中心のタップに対して対称なり、C-jとC+jは同一の値をとるため、その値をCjとする。ただし、奇数タップの場合は中心となるタップ係数C0がない。

【0023】積和回路201はシフトレジスタ101の出力D-2とタップ係数Cjの積と、D+2とタップ係数Cjの積を計算し、その2つの加算を行う。ただしのときCjは後段の加算に適する2の補数表現になっているとする。ここで、シフトレジスタ101の出力信号

Dは変調方式がQPSKであるため、1ビットの信号である。この値が“0”的とき $-1/2$ を表し、“1”的とき $+1/2$ を表すとすると、DとCjの積は、 $-Cj$ 、 $+Cj$ 、もしくは0のいずれかになる。つまり、2つの乗算とその結果の加算は図3に示すように2つのDの符号によって決定され、計算を行う必要がない。まず、選択回路601でCjを反転するかどうかを選択し、次に選択回路602で0にするかどうかを選択するだけよい。

【0024】実際には、選択回路601は図4(A)のようにEX-ORゲートで、選択回路602は図4(B)のようにANDゲートで実現されるため、全加算器を用いて構成する従来の方式に比べ回路規模を小さくすることができる。

【0025】なお全ビット反転では2の補数表現での反転にならないためCjの極性反転が行われたときには1 LSBだけ値が小さくなる。例えば4ビットの2の補数で“0001”を全ビット反転すると“1110”となるが、真の符号反転は“1111”である。このすれば図5に示す後段の加算器で使用される全加算器のキャリヤー入力に符号反転が行われたことを示す信号を入力することにより補正することができる。

【0026】図1(B)の奇数タップのときもほぼ上述の偶数タップと同じであるが、中心のタップを個別に扱う必要があるため、中心タップ用の乗算回路が必要となる点だけが異なる。

【0027】また、中心から離れるにつれてタップ係数は急速に小さくなるため、タップ係数の実質的なビット数は減少する。上述と積和回路は中心に対して対称なタップの演算を行うためそのタップ係数は同一であり、そのタップ係数の大きさに応じた回路規模に設定することができます。従って、全タップを同一の回路で構成する場合に比べて、回路規模を小さくすることができる。

【0028】

【発明の効果】以上説明したように本発明のディジタルフィルタは、

1. タップ係数の対称性を利用して乗算回路と初段の加算回路を統合することにより初段から全加算器を用いて

【図3】

D _i	0	1
D _i	0	-Cj
1	0	+Cj

構成される従来の方式より回路規模の削減を図ったこと、

2. 中心から離れたタップではタップ係数が非常に小さくなり、タップ係数が同じ値の2つのタップの積和演算を行うため積和回路の規模をタップ係数の大きさに大じて設定することによりタップ数が多い場合でも全体の回路規模が小さいデジタルロールオフフィルタを実現でき、それに伴い低消費電力化、低価格化が図れるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図であり、(A)は偶数タップのブロック図、(B)は奇数タップのブロック図、(C)は(A)、(B)の中の積和回路の一実施例のブロック図である。

【図2】ロールオフフィルタのインパルス応答を示す図である。

【図3】実施例の積和回路の動作を説明するための図である。

【図4】選択回路の一実施例のブロック図であり、(A)は選択回路601のブロック図、(B)は選択回路602のブロック図である。

【図5】図1(A)、(B)の加算器の構成単位である全加算器のブロック図である。

【図6】従来例のブロック図である。

【図7】従来例の乗算器、及び加算器のブロック図である。

【符号の説明】

101, 102, 151 シフトレジスタ

201～204 積和回路

301, 302, 311 加算器

351, 361～363 全加算器

401 乗算器

411～416 タップ(乗算器)

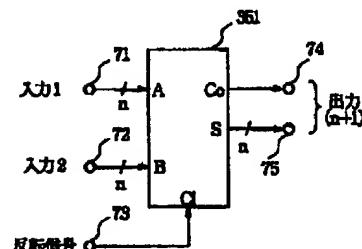
501～504, 561～563 EX-ORゲート

551～553 ANDゲート

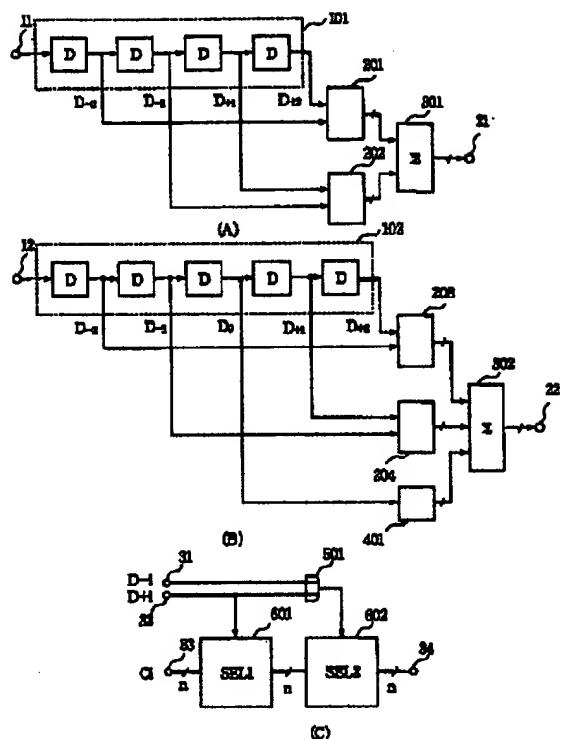
571 INVゲート

601, 602 選択回路

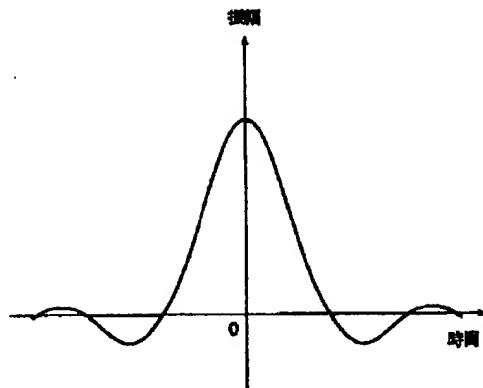
【図5】



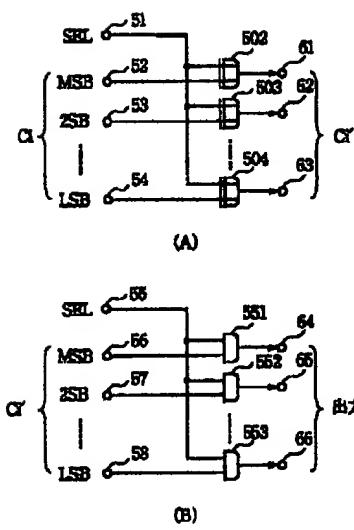
【図1】



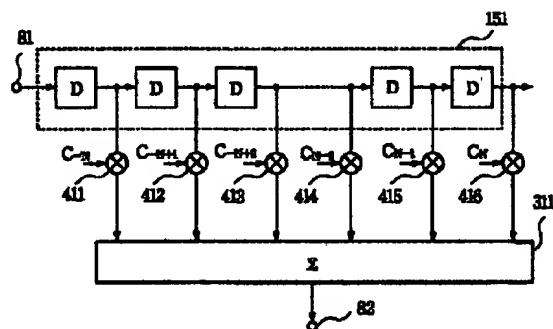
【図2】



【図4】



【図6】



【図7】

